

DETAIL**JAPANESE****LEGAL
STATUS**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232075

(43)Date of publication of application : 22.08.2000

(51)Int. Cl. H01L 21/265

H01L 29/78

H01L 21/336

(21)Application number : 11-032784

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 10.02.1999

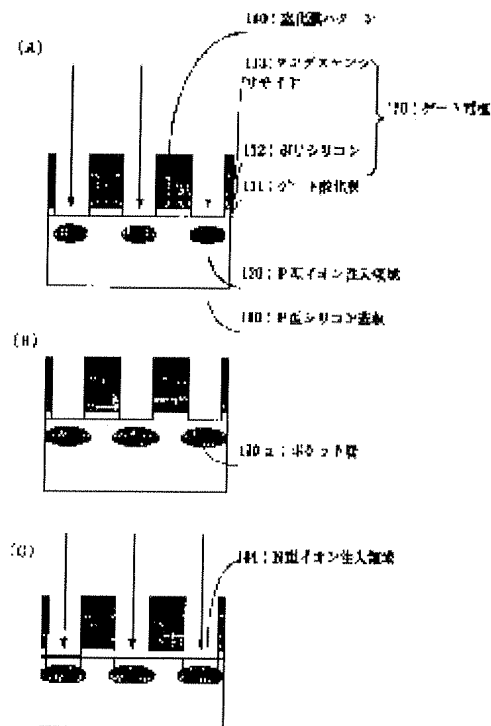
(72)Inventor : SHINOHARA HIROBUMI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To permit formation of a MOS FET which reliably has a pocket layer, even when it becomes difficult to implant impurity ions from an oblique direction with respect to a silicon substrate, due to its miniaturization in steps of manufacturing a semiconductor device and in particular, a MOS FET having the pocket layer.

SOLUTION: A gate oxide film 111, a gate electrode 150 made of a polysilicon film 112 and a tungsten silicide film 113, and a nitride film pattern 140 are selectively formed on a P-type silicon substrate 110, and then the P-type silicon substrate is subjected to vertical implantation of P-type impurity ions with respect to the substrate. Then a P-type ion implanted region 120 formed by the P-type ion implantation is diffused and activated, to form a pocket layer 120a prior to the formation of other ion-implanted regions.



【0009】次に図8 (B) に示すように、コンタクトホール430内にコンタクト図432を埋め込み、このコンタクト図432の上に配線図431を形成する。

【0010】
【発明が解決しようとする課題】 以上に述べたように従来のボタクト図の形成工程では、シリコン基板表面に対して斜め方向からイオン注入を行い、動作時にチャネル領域下で変容層が広がる部分にイオン注入領域を形成し、その後、このイオン注入領域を活性化することによってボタクト図を形成していた。

【0011】しかしながら、微細化が進みデザインルールが例えば18 μ m以下になると、ゲート電極同士の間隔がゲート電極の高さに比べて狭くなり、シリコン基板表面に対して斜め方向からイオン注入を行うと、隣のゲート電極の側に隠れて不純物イオンが注入されない、シャド効果が生れはじめる。こうなるとイオン注入領域が、動作時にチャネル領域下で変容層が広がる部分にまで形成されなくなる。つまり、ボタクト図を形成することができなくなる。一方、全イオン注入領域形成後に、イオン注入を並行して行うと、ゲート電極の側面を形成する方法を用いると、他のイオン注入図、例えばソース・ドレインとなるイオン注入図が並列してしまい、チャネル特性を劣化させてしまう。

【0012】本発明の目的は、短チャネル効果がより顕著となるデザインルール0.18 μ m以下の世代の半導体装置においても、ボタクト図を確実に形成できる半導体装置の製造方法を提案することにある。

【0013】
【課題を解決するための手段】 上述の目的を達成するため、本発明の半導体装置の製造方法では、第1導電型の半導体基板表面に、ゲート絶縁膜およびゲート絶縁膜上に位置するゲート電極を選択的に形成する。次に第1導電型の不純物を、ゲート電極をマスクにして半導体基板表面に対して垂直に導入することにより、半導体基板中の所定の深さに第1導電型のイオン注入領域を形成する。このイオン注入領域をゲート電極に付着するチャネル領域の下に位置するように並列させることにより、活性化される。その後ゲート電極をマスクにして、第2導電型の不純物を半導体基板表面より所定の深さに導入することにより、第2導電型のイオン注入領域を形成する。それらからこれを活性化させて第2導電型のソースおよびドレインを形成する。

【0014】
【発明の装置の形態】 図1および図2は本発明の半導体装置の製造方法の第1の実施の形態について説明するための断面図である。以下、図1および図2を用いて本発明の第1の実施の形態について説明する。

【0015】本発明の第1の実施の形態を用いて、NMOSFET (N-type Metal Oxide Semiconductor Field Effect Transistor) を製造する場合について説明す

る。

【0016】まず、図1 (A) に示すように、P型シリコン基板110上に酸化膜、ポリシリコン膜、タンタムシリサイド膜および窒化膜を順に形成する。そしてこれらの4層の膜をパターンニングしてゲート酸化膜111、ポリシリコン112とタンタムシリサイド113からなるゲート電極150、および窒化膜パターン140を選択的に形成する。

【0017】次に、P型シリコン基板110中に窒化膜パターン114およびゲート電極150をマスクにして、P型シリコン基板110の表面に対して図1 (A) の矢印で示すように垂直にP型の不純物イオンを注入して、P型イオン注入領域120を形成する。図1 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B⁺、イオン注入エネルギー: 約30keV、P型シリコン基板110の表面からの注入深さ: 0.07~0.10 μ m、ドーピング量: 約10¹³/cm²。

【0018】次に図1 (B) に示すように、P型イオン注入領域120を動作時にチャネル領域下で変容層が広がる部分にまで熱拡散させるため、800~850℃で90~90分、熱処理を行う。この熱処理によって、P型イオン注入領域120は拡散されることにより活性化されてボタクト図120aとなる。

【0019】次に図1 (C) に示すように、P型シリコン基板110中に窒化膜パターン114およびゲート電極150をマスクにして、P型シリコン基板110の表面に対して図1 (C) の矢印で示すように垂直にN型の不純物イオンを注入して、N型イオン注入領域144を形成する。図1 (C) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: A⁺、イオン注入エネルギー: 約20~30keV、P型シリコン基板の表面からの注入深さ: 約0.04~0.07 μ m、ドーピング量: 約2×10¹³~5×10¹³/cm²。

【0020】次に図2 (A) に示すように、ゲート電極150、窒化膜パターン114およびゲート酸化膜111の問題に窒化膜からなるポリオキシランベネサ141を形成する。

【0021】そして、P型シリコン基板110中に、ポリオキシランベネサ141および窒化膜パターン140をマスクにして、P型シリコン基板110の表面に対して垂直にN型の不純物イオンを注入して、N型イオン注入領域123を形成する。図2 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: A⁺、イオン注入エネルギー: 約30keV、P型シリコン基板110の表面からの注入深さ: 約0.1 μ m、ドーピング量: 約5×10¹⁵/cm²。

【0022】次に図2 (B) に示すように、約1000℃において約10秒の熱処理を行う。この熱処理によって、N型イオン注入領域123は活性化されてソース・ドレイン図123aとなり、N型イオン注入領域144は活性化

されてLDD図144aとなる。次に、全面にSiO₂などの絶縁性の層間膜115を堆積させ、それからソース・ドレイン図123aの上部に、ポリシリコングラフアイエングとエッチング工程を行って、コンタクトホール130を開孔させる。

【0023】次に図2 (C) に示すように、コンタクト図132を形成するため変容層を全面に増設させ、エッチングまたはCMP (Chemical Mechanical Polishing) を行ってコンタクトホール130にコンタクト図132を形成する。最後に配線図131を堆積させてポリシリコングラフアイエングとエッチング工程でパターンニングする。なお、コンタクト図132を配線図として用いることも可能である。

【0024】なお窒化膜パターン140およびポリオキシランベネサ141は、図2 (B) におけるソース・ドレイン図123aの上部にコンタクトホール130を開孔するとき、ポリシリコングラフアイエングにおけるマスク合わせのずれに起因して、コンタクトホールの開口位置がずれた場合に生じる。ゲート電極150の露出を妨げ変容層がある。もしも、ゲート電極150が露出した状態で図2 (B) に示したコンタクトホール130に図2 (C) に示したコンタクト図132を形成すると、このコンタクト図132と、露出したゲート電極150が電気的に接続し、ショートしてしまう。したがって、ゲート電極150上に窒化膜パターン140を、およびゲート電極150、窒化膜パターン140およびゲート酸化膜111の側壁にポリオキシランベネサ141を配しておくことによって上記のずれに対する問題を解消できる。

【0025】上述した通り、本発明の第1の実施の形態の半導体装置の製造方法は、ボタクト図120aとなるP型イオン注入領域120は、ソース・ドレイン図123aを形成する前に独立して熱拡散するため、ソース・ドレイン図123aの形成工程に影響を与えずに、ボタクト図となるP型イオン注入領域120の拡散条件を任意に設定できる。つまり、P型イオン注入領域120をイオン注入によって直接、動作時にチャネル領域下で変容層が広がる部分に形成しなくてもいい。したがってP型の不純物のイオンをP型シリコン基板110の表面に対して垂直に注入することが可能になるので、P型の不純物のイオンをゲート電極150によって運ばれることなく注入できる。したがってゲート電極150の高さが高く、障り合うゲート電極150同士の間隔が狭い場合でも、ボタクト図120aを動作時にチャネル領域下で変容層が広がる部分に形成することができ、これにより十分な短チャネル効果の抑制を行うことが可能になる。

【0026】さらにLDD図144aは、ボタクト図120a形成の後に形成されるため、ボタクト図120a形成工程に影響を与えることなく、形成することができ

る。これは、ボタクト図120aとなるP型イオン注入領域120はLDD図144aとなるイオン注入領域144aを形成する前に独立して熱拡散することができるところである。

【0027】本発明の第1の実施の形態ではNMOSFETを例にして説明したが、これに限られたものではなく、PMOSFET (P-type Metal Oxide Semiconductor Effect Transistor) を製造する場合に用いてもよい。PMOSFETを製造する場合には、P型シリコン基板110の代わりにN型シリコン基板を用いる。さらに図1 (A) の工程においては、P型イオン注入領域120形成のためのP型の不純物イオン注入の代わりにN型の不純物イオンを注入して、N型イオン注入領域を形成する。図1 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: P⁺またはA⁺、イオン注入エネルギー: P⁺の場合は約0keV、A⁺の場合は約10keV、N型シリコン基板の表面からの注入深さ: 0.07~0.10 μ m、ドーピング量: 約10¹³/cm²。

【0028】さらに図1 (C) の工程においては、N型イオン注入領域144形成のためのイオン注入の代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図1 (C) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B⁺、イオン注入エネルギー: 約20~30keV、N型シリコン基板の表面からの注入深さ: 約0.04~0.07 μ m、ドーピング量: 約2×10¹³~5×10¹³/cm²。

【0029】そして図2 (A) の工程においては、N型イオン注入領域123形成のためのイオン注入の代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図2 (A) の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B⁺、イオン注入エネルギー: 約40keV、N型シリコン基板の表面からの注入深さ: 約0.15 μ m、ドーピング量: 約3×10¹⁵/cm²。

【0030】その他の手順はNMOSFETの場合と同じである。

【0031】本発明の半導体装置の製造方法は、半導体基板の一部に半導体基板と異なる導電型の基体を形成し、この基体の表面に半導体装置を形成する場合にも適用することができ、

【0032】また本発明例ではP型シリコン基板110上の酸化膜を、ゲート電極150や窒化膜パターン140と同時にパターンニングして、ゲート酸化膜111を形成しているが、この方法に限られるものではなく、P型シリコン基板110上の酸化膜のパターンニングによるゲート酸化膜111の形成は、ボタクト図120a形成後、N型イオン注入領域144形成前に行ってもよい。

【0033】あるいはLDD図144aの代わりに、エクスプレジション図を形成してもよい。このとき、不純物

イオン注入の条件は以下の通りである。注入する不純物イオンの種類：NMOS FETの場合 A^{+} 、PMOS FETの場合 B^{2+} 、イオン注入エネルギー：約5~10keV、P型シリコン基板の表面からの注入深さ：約0.03~0.05 μm 、ドーパ量：NMOS FETの場合約 $3 \times 10^{14} \sim 1 \times 10^{15}/cm^2$ 、PMOS FETの場合約 $1 \times 10^{14} \sim 5 \times 10^{14}/cm^2$ 。

【0034】図3および図4は本発明の半導体装置の製造方法の第2の実施の形態について説明するための断面工程図である。以下、図3および図4を用いて本発明の第2の実施の形態について説明する。

【0035】本発明の第2の実施の形態を用いて、NMOS FETを製造する場合について説明する。

【0036】まず、図3(A)に示すように、P型シリコン基板210上に酸化膜、ポリシリコン膜、タンダスチンシリサイド膜および窒化膜を順に形成する。そしてこれらの4層の膜をパターンニングしてゲート酸化膜211、ポリシリコン212とタンダスチンシリサイド213からなるゲート電極250、および窒化膜パターン240を選択的に形成する。

【0037】次に、P型シリコン基板210中に窒化膜パターン214およびゲート電極250をマスクにして、P型シリコン基板210の表面に対して図3(A)の矢印で示すように垂直にP型の不純物イオンを注入して、P型イオン注入領域220を形成する。図3(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類： B^{2+} 、イオン注入エネルギー：約30keV、P型シリコン基板210の表面からの注入深さ：約0.07~0.10 μm 、ドーパ量：約 $10^{13}/cm^2$ 。

【0038】次に図3(B)に示すように、約1000℃において図3(B)の外部加熱防止用膜242を約0.03~0.04 μm 程度させる。外部加熱防止用膜242を約0.03~0.04 μm 程度させる。外部加熱防止用膜242の厚さは、P型イオン注入領域220中に含まれるP型の不純物イオンが熱処理時、P型シリコン基板210の外部に拡散しない程度に設定されている。

【0039】次に図3(C)に示すように、P型イオン注入領域220を動作時にチャネル領域で空乏領域が広がる部分に位置するように熱拡散させるため、800~850℃において60~90分、熱処理を行う。この熱処理によって、P型イオン注入領域220は拡散されることにより活性化されてゲート層220となる。

【0040】次に図3(D)に示すように、外部加熱防止用膜242を取り除く。それからP型シリコン基板210中に窒化膜パターン214およびゲート電極250をマスクにして、P型シリコン基板210の表面に対して図3(D)の矢印で示すように垂直にN型の不純物イオンを注入して、N型イオン注入領域244を形成する。図3(D)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類： A^{+} 、イオン注入エネルギー：約20~30keV、P型シリコン基板

の表面からの注入深さ：約0.04~0.07 μm 、ドーパ量：約 $2 \times 10^{13} \sim 5 \times 10^{13}/cm^2$ 。

【0041】次に図4(A)に示すように、ゲート電極250、窒化膜パターン240およびゲート酸化膜211の側面に窒化膜からなるサイドウォールスパサ241を形成する。

【0042】そして、P型シリコン基板210中に、サイドウォールスパサ241および窒化膜パターン240をマスクにして、P型シリコン基板210の表面に対して垂直にN型の不純物イオンを注入して、N型イオン注入領域223を形成する。図4(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類： A^{+} 、イオン注入エネルギー：約50keV、P型シリコン基板210の表面からの注入深さ：約0.1 μm 、ドーパ量：約 $5 \times 10^{15}/cm^2$ 。

【0043】次に図4(B)に示すように、約1000℃において約10分熱処理を行う。この熱処理によって、N型イオン注入領域223は活性化されてソース・ドレイン層223aとなり、N型イオン注入領域244は活性化されてLDD層244aとなる。次に、全面にSiO₂などの絶縁性の膜厚215を堆積させ、それからソース・ドレイン層223aの上部に、ポリシリコングラフイ工程とエッチング工程を行って、コンタクトホール230を開く。

【0044】次に図4(C)に示すように、コンタクト層230を形成する。この場合、全面に堆積させ、エッチングまたはCMPを行ってコンタクトホール内230にコンタクト層232を形成する。最後に絶縁膜231を堆積させてポリシリコングラフイ工程とエッチング工程を行って、コンタクト層232を配線層として用いることも可能である。

【0045】なお窒化膜パターン240およびサイドウォールスパサ241は、図4(B)におけるソース・ドレイン層223aの上部にコンタクトホール230を開くするとき、ポリシリコングラフイ工程におけるマスク合わせのずれに起因して、コンタクトホールにおける位置がずれた場合に生じる。ゲート電極250の露出を防ぐ必要がある。もしも、ゲート電極250が露出した状態で図4(B)に示したコンタクトホール230に図4(C)に示したコンタクト層232を形成すると、このコンタクト層232と、露出したゲート電極250が電気的に接続し、ショートしてしまう。したがって、ゲート電極250上に窒化膜パターン240を、およびゲート電極250、窒化膜パターン240およびゲート酸化膜211の側面にサイドウォールスパサ241を配しておくことによって上記のずれに対する問題を解消できる。

【0046】上述した通り、本発明の第2の実施の形態の半導体装置の製造方法では、ゲート層220aとなるP型イオン注入領域220は、ソース・ドレイン層2

23aを形成する前に独立して熱拡散するため、ソース・ドレイン層223aの形成工程に影響を与えずに、ゲート層となるP型イオン注入領域220の拡散条件を任意に設定できる。つまり、P型イオン注入領域220をイオン注入によって直接、動作時にチャネル領域で空乏領域が広がる部分に形成しなくてもいい。したがってP型の不純物イオンをP型シリコン基板210の表面に対して垂直に注入することが可能になるので、P型の不純物のイオンをゲート電極250によって遮られることなく注入できる。したがってゲート電極250の高さが高く、露り合うゲート電極250同士の間隔が狭い場合でも、ゲート層220aを動作時にチャネル領域で空乏領域が広がる部分に形成することができ、これにより十分な駆動チャネル効果の制御を行うことが可能になる。

【0047】さらにLDD層244aは、ゲート層220a形成の後に形成されるため、ゲート層220a形成工程に影響を与えることなく、形成することができ。つまり、ゲート層220aとなるP型イオン注入領域220はLDD層244aとなるイオン注入領域144を形成する前に独立して熱拡散することができからである。

【0048】さらに、図3(B)に示した外部加熱防止用膜242の堆積工程を有することにより、図3(C)に示したP型イオン注入領域220を熱拡散によって活性化させてゲート層220aを形成するとき、P型イオン注入領域220の内部の不純物イオンが外部加熱防止用膜242に遮断されるので、この不純物イオンがP型シリコン基板210の外に拡散していくことを防ぐことができる。

【0049】本発明の第2の実施の形態ではNMOS FETを例にして説明したが、これに限られたものではなく、PMOS FETを製造する場合に用いてもよい。PMOS FETを製造する場合には、P型シリコン基板210の代わりにN型シリコン基板を用いる。さらに図3(A)の工程においては、P型イオン注入領域220形成のためのP型のイオン注入の代わりにN型の不純物イオンを注入して、N型イオン注入領域を形成する。図3(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類： P^{+} または A^{+} 、イオン注入エネルギー： P^{+} の場合約70keV、 A^{+} の場合は約50keV、N型シリコン基板の表面からの注入深さ：約0.07~0.10 μm 、ドーパ量：約 $10^{13}/cm^2$ 。

【0050】さらに図3(D)の工程においては、N型イオン注入領域244形成のためのイオン注入の代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図3(D)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類： B^{2+} 、イオン注入エネルギー：約20~30keV、N型シリコン基板の表面からの注入深さ：約0.04~0.07 μm 、ド

ーパ量：約 $2 \times 10^{13} \sim 5 \times 10^{13}/cm^2$ 。

【0051】そして図4(A)の工程においては、N型イオン注入領域223形成のためのイオン注入の代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図4(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類： B^{2+} 、イオン注入エネルギー：約40keV、N型シリコン基板の表面からの注入深さ：約0.15 μm 、ドーパ量：約 $3 \times 10^{15}/cm^2$ 。

【0052】その他の手順はNMOS FETの場合と同じである。

【0053】本発明の半導体装置の製造方法は、半導体基板の一部に半導体基板と異なる導電型の基板を形成し、この基板の表面に半導体装置を形成する場合にも使うことができる。

【0054】また本発明例ではP型シリコン基板210上の酸化膜を、ゲート電極250や窒化膜パターン240と同時にパターンニングして、ゲート酸化膜211を形成しているが、この方法に限られるものではなく、P型シリコン基板210上の酸化膜のパターンニングによるゲート酸化膜211の形成は、外部加熱防止用膜242を取り除くときに行ってもよい。

【0055】あるいはLDD層244aの代わりに、エクスプラッシュ層を形成してもよい。このとき、不純物イオンの注入の条件は以下の通りである。注入する不純物イオンの種類：NMOS FETの場合 A^{+} 、PMOS FETの場合 B^{2+} 、イオン注入エネルギー：約5~10keV、P型シリコン基板の表面からの注入深さ：約0.03~0.05 μm 、ドーパ量：NMOS FETの場合約 $3 \times 10^{14} \sim 1 \times 10^{15}/cm^2$ 、PMOS FETの場合約 $1 \times 10^{14} \sim 5 \times 10^{14}/cm^2$ 。

【0056】図5および図6は本発明の半導体装置の製造方法の第3の実施の形態について説明するための断面工程図である。以下、図5および図6を用いて本発明の第3の実施の形態について説明する。

【0057】本発明の第3の実施の形態を用いてNMOS FETを製造する場合について説明する。

【0058】まず、図5(A)に示すように、P型シリコン基板310上に酸化膜、ポリシリコン膜、タンダスチンシリサイド膜および窒化膜を順に形成する。そしてこれらの4層の膜をパターンニングしてゲート酸化膜311、ポリシリコン312とタンダスチンシリサイド313からなるゲート電極350、および窒化膜パターン340を選択的に形成する。

【0059】次に、P型シリコン基板310中に窒化膜パターン314およびゲート電極350をマスクにして、P型シリコン基板310の表面に対して図5(A)の矢印で示すように垂直にP型の不純物イオンを注入して、P型イオン注入領域320を形成する。図5(A)の工程のパラメータおよび条件は以下の通りである。注

入する不純物イオンの種類：B、F⁺、イオン注入エネルギー：約100keV、P型シリコン基板310の表面からの注入深さ：約0.07～0.10μm、ドーピング：約10¹³/cm²。

【0060】次に図5(B)に示すように、まずP型イオン注入領域320中に含まれるP型の不純物イオンが、P型シリコン基板310の外側に拡散しない程度の温度として例えば700℃で、かつ酸素雰囲気中で熱処理し、酸で800～850℃に温度を上げて、P型イオン注入領域320を拡散させることにより活性化させてボタントランジスタを形成する。この際、例えばSiO₂膜である外部拡散防止用膜342も形成される。つまり、図5(B)に示す工程にて、P型イオン注入領域320中に含まれるP型の不純物イオンの外部拡散防止およびボタントランジスタ320aを形成して行う。

【0061】次に図5(C)に示すように、外部拡散防止用膜342を取り除く。それからP型シリコン基板310中に活性化ゲート電極350を形成する。P型シリコン基板310の表面に対して図5(C)の矢印で示すように垂直にN型の不純物イオンを注入して、N型イオン注入領域344を形成する。図5(C)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：A、S⁺、イオン注入エネルギー：約20～300keV、P型シリコン基板の表面からの注入深さ：約0.04～0.07μm、ドーピング：約2×10¹³～5×10¹³/cm²。

【0062】次に図6(A)に示すように、ゲート電極350、酸化膜パターン340およびゲート酸化膜311の領域に露出部となるサイドウォール341を形成する。

【0063】そして、P型シリコン基板310中に、サイドウォール341および酸化膜パターン340をマスクにして、P型シリコン基板310の表面に対して垂直にN型の不純物イオンを注入して、N型イオン注入領域323を形成する。図6(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：A、S⁺、イオン注入エネルギー：約50keV、P型シリコン基板310の表面からの注入深さ：約0.1μm、ドーピング：約5×10¹⁵/cm²。

【0064】次に図6(B)に示すように、約1000℃において約10秒熱処理を行う。この熱処理によって、N型イオン注入領域323は活性化されてソース・ドレイン層323aとなり、N型イオン注入領域344は活性化されてLDD層344aとなる。次に、全面にSiO₂膜の絶縁性の膜層315を堆積させ、それからソース・ドレイン層323aの上面に、フォトリソグラフィ工程とエッチング工程を行って、コンタクトホール330を開孔させる。

【0065】次に図6(C)に示すように、コンタクト層332を形成するため導電膜を全面に堆積させ、エッチングまたはCMPを行ってコンタクトホール内33

0にコンタクト層332を形成する。最後に酸化膜331を堆積させてフォトリソグラフィ工程とエッチング工程のフォトリソグする。なお、コンタクト層332を酸処理して用いることも可能である。

【0066】なお酸化膜パターン340およびサイドウォール323aは、図6(B)におけるソース・ドレイン層323aの上面にコンタクトホール330を開孔するとき、フォトリソグラフィ工程におけるマスク合わせのずれに起因して、コンタクトホールの開口位置がずれた場合に生じる。ゲート電極350の露出を防ぐ役割がある。もしも、ゲート電極350が露出した状態で図6(B)に示したコンタクトホール330に図6(C)に示したコンタクト層332を形成すると、このコンタクト層332と、露出したゲート電極350が電気的に接続し、ショートしてしまう。したがって、ゲート電極350上に酸化膜パターン340を、およびゲート電極350、酸化膜パターン340およびゲート酸化膜311の領域にサイドウォール341を配しておくことにより上記のずれに対する問題を解消できる。

【0067】上述した通り、本発明の第3の実施形態の半導体装置の製造方法は、ボタントランジスタ320aとなるP型イオン注入領域320は、ソース・ドレイン層323aを形成する前に独立して熱処理するため、ソース・ドレイン層323aの形成工程に影響を与えずに、ボタントランジスタとなるP型イオン注入領域320の拡散条件を任意に設定できる。つまり、P型イオン注入領域320をイオン注入によって直接、動作時にチャネル領域下で変圧電圧が印加される部分に形成しなくてもいい。したがってP型の不純物イオンをP型シリコン基板310の表面に対して垂直に注入することが可能になるので、P型の不純物イオンをゲート電極350によって運ばれることなく注入できる。したがってゲート電極350の高さが高く、隣り合うゲート電極350同士の間の距離が狭い場合でも、ボタントランジスタ320aを動作時にチャネル領域下で変圧電圧が印加される部分に形成することができ、これにより十分な短チャネル効果の抑制を行うことが可能になる。

るので、この不純物イオンがP型シリコン基板310の外に拡散していくことを防ぐことができる。さらに、P型イオン注入領域320中の不純物イオンの外部拡散防止用膜342形成およびボタントランジスタ320a形成を連続して行うため、本発明の第3の実施例よりもMOSFET形成工程を簡便にできる。

【0070】本発明の第3の実施形態ではNMOSFETを例にして説明したが、これに限られたものではない。PMOSFETを製造する場合には、代わりに、PMOSFETを製造する場合には、P型シリコン基板310の代わりにN型シリコン基板を用いる。さらに図5(A)の工程においては、P型イオン注入領域320形成のためのP型のイオン注入では、代わりにN型の不純物イオンを注入して、N型イオン注入領域を形成する。図5(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：PまたはA、S⁺、イオン注入エネルギー：Pの場合は約100keV、A、S⁺の場合は約50keV、N型シリコン基板の表面からの注入深さ：約0.07～0.10μm、ドーピング：約10¹³/cm²。

【0071】さらに図5(C)の工程においては、N型イオン注入領域344形成のためのイオン注入は、代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図5(C)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：B、F⁺、イオン注入エネルギー：約20～300keV、N型シリコン基板の表面からの注入深さ：約0.04～0.07μm、ドーピング：約2×10¹³～5×10¹³/cm²。

【0072】そして図6(A)の工程においては、N型イオン注入領域323形成のためのイオン注入は、代わりにP型の不純物イオンを注入して、P型イオン注入領域を形成する。図6(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：B、F⁺、イオン注入エネルギー：約40keV、N型シリコン基板の表面からの注入深さ：約0.15μm、ドーピング：約3×10¹⁵/cm²。

【0073】その他の手順はNMOSFETの場合と同じである。

【0074】本実施例の半導体装置の製造方法は、半導体基板の一部に半導体基板と異なる導電型の基体を形成し、この基体の表面に半導体装置を形成する場合にも使うことができる。

【0075】また本実施例ではP型シリコン基板310上の酸化膜を、ゲート電極350や酸化膜パターン340と同時にパターンニングして、ゲート酸化膜311を形成しているが、この方法に限られるものではなく、P型シリコン基板310上の酸化膜のパターンニングによるゲート酸化膜311の形成は、外部拡散防止用膜342を用いて行うことも可能である。

取り除くときに行ってもよい。

【0076】あるいはLDD層344aの代わりに、エクスプレッション層を形成してもよい。このとき、不純物イオン注入の条件は以下の通りである。注入する不純物イオンの種類：NMOSFETの場合A、S⁺、PMOSFETの場合B、F⁺、イオン注入エネルギー：約5～10keV、P型シリコン基板の表面からの注入深さ：約0.03～0.05μm、ドーピング：NMOSFETの場合約3×10¹⁴～1×10¹⁵/cm²、PMOSFETの場合約1×10¹⁴～5×10¹⁴/cm²。

【0077】

【発明の効果】以上説明したように本発明の実施形態を用いることにより、MOSFET形成において、不純物イオン注入によるボタントランジスタの形成が困難になってくるゲート電極18μm程度以下の世代の半導体装置でも、絶縁にボタントランジスタを形成することができ、

【図面の簡単な説明】

【図1】本発明の第1の実施例の工程その1を断面図で示すものである。

【図2】本発明の第1の実施例の工程その2を断面図で示すものである。

【図3】本発明の第2の実施例の工程その1を断面図で示すものである。

【図4】本発明の第2の実施例の工程その2を断面図で示すものである。

【図5】本発明の第3の実施例の工程その1を断面図で示すものである。

【図6】本発明の第3の実施例の工程その2を断面図で示すものである。

【図7】従来の工程その1を断面図で示すものである。

【図8】従来の工程その2を断面図で示すものである。

【符号の説明】

110：P型シリコン基板

111：ゲート酸化膜

112：ボリシリコン

113：ランダムシリコン

115：層間膜

120：P型イオン注入領域

120a：ボタントランジスタ

123：N型イオン注入領域

123a：ソース・ドレイン層

130：コンタクトホール

131：配線層

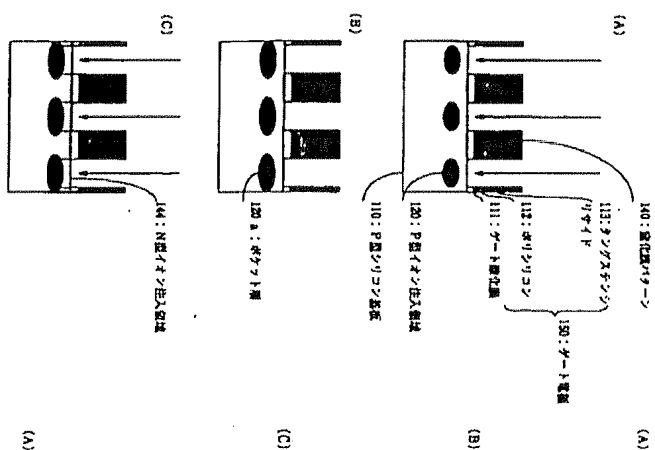
132：コンタクト層

140：酸化膜パターン

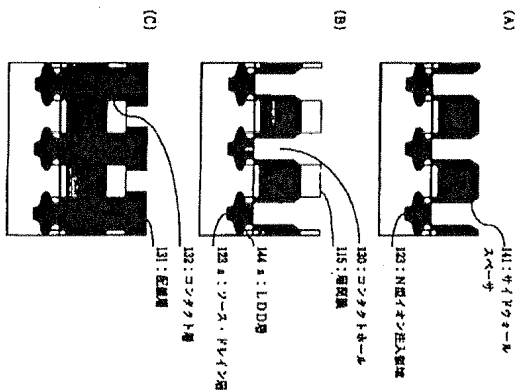
141：サイドウォール341

150：ゲート電極

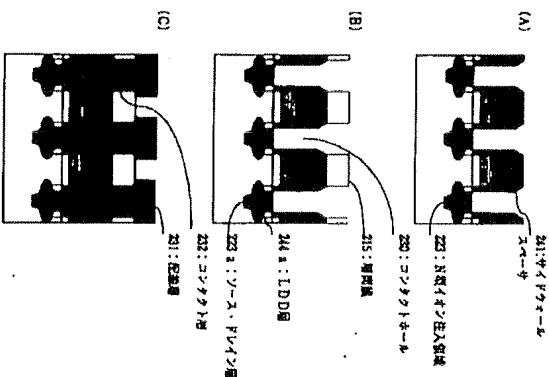
【図1】



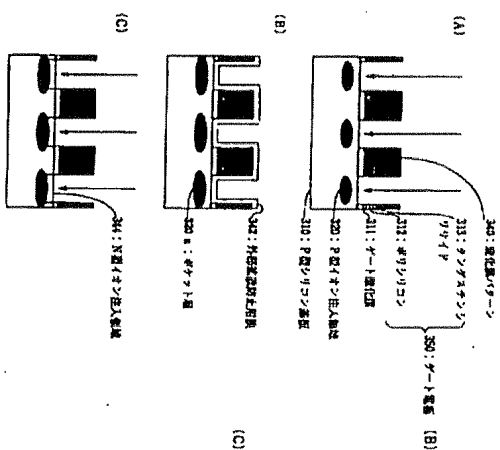
【図2】



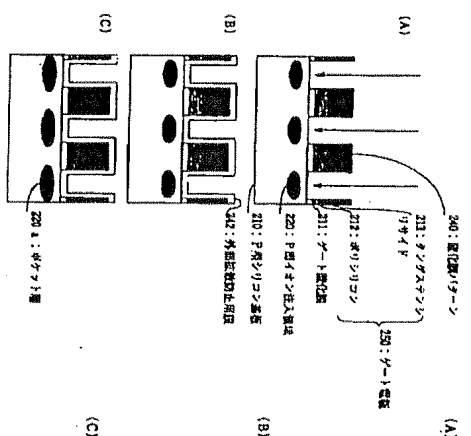
【図4】



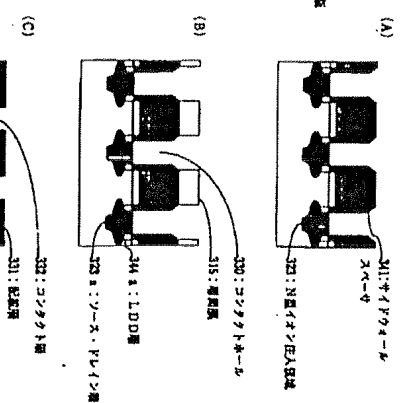
【図5】



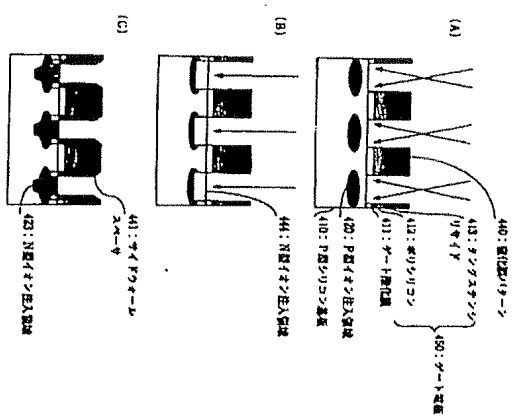
【図3】



【図6】



【図7】



【図8】

